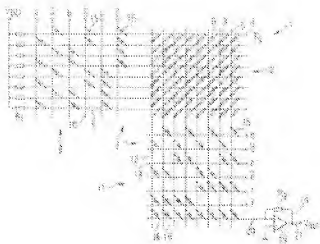


**Abstract of DE 10111454 (A1)**

Translate this text

The memory arrangement has a memory cell field (2) and a decoder circuit for reading from the memory cells (3) with a word line decoder (8), a bit line decoder (11) and a read output (14) for reading out the contents of each individual cell by selecting the word and bit lines corresponding to individual cells. Independent claims are also included for the following: a method of reading from a memory arrangement and a computer arrangement with a processor and memory arrangement.



.....  
Data supplied from the *espacenet* database — Worldwide



① BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

# Offenlegungsschrift DE 101 11 454 A 1

⑤ Int. Cl.<sup>7</sup>:  
G 11 C 8/10  
G 11 C 7/00

⑦ Aktenzeichen: 101 11 454.0  
⑧ Anmeldetag: 9. 3. 2001  
⑨ Offenlegungstag: 26. 9. 2002

DE 101 11 454 A 1

⑦ Anmelder:  
Infineon Technologies AG, 81669 München, DE  
⑧ Vertreter:  
Viering, Jentschura & Partner, 80538 München

⑦ Erfinder:  
Rösner, Wolfgang, Dr., 81739 München, DE; Luyken,  
R. Johannes, Dr., 81825 München, DE; Hofmann,  
Franz, Dr., 80995 München, DE; Kretz, Johannes,  
80538 München, DE

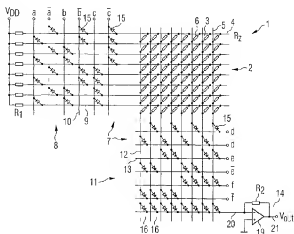
⑤ Entgegenhaltungen:  
US 54 50 428 A  
US 43 94 747

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤ Speicheranordnung und Computer mit Speicheranordnung

⑤ Die Speicheranordnung weist ein Speicherzellenfeld und eine Dekoderschaltung auf. Die Dekoderschaltung ist in Diodenlogik implementiert.



DE 101 11 454 A 1

[0001] Die Erfindung betrifft eine Speicheranordnung und einen Computer mit einer Speicheranordnung.

[0002] Computer mit Speicheranordnungen kommen bei den unterschiedlichsten Anwendungen zum Einsatz, sei es als Großrechner, als Personal Computer, in Waschmaschinen, in Kraftfahrzeugen, in Telefonen, in Anrufbeantwortern oder in sonstigen Anwendungen. Ein Computer ist hierbei im weitesten Sinne als eine elektronische Steuer- und/oder Recheneinrichtung zu verstehen. Die Speicheranordnung des Computers dient dabei zum Beispiel zum Speichern von Parametern zum Betrieb des Computers. Alternativ kann die Speicheranordnung zum dauerhaften oder zwischenzeitlichen Speichern von Rechenergebnissen oder sonstigen Daten dienen.

[0003] Der Raum, der für die Speicheranordnung zur Verfügung steht, ist in der Regel begrenzt. Der begrenzte Raum wird dabei umso effizienter genutzt, je größer die Integrationsdichte, d. h. die Anzahl von Speicherzellen in einem vorgegebenen Raum oder einer vorgegebenen Fläche ist. Entsprechend ist es ein Hauptziel bei der Entwicklung und Herstellung von Speicheranordnungen, deren Integrationsdichte zu erhöhen.

[0004] Eine typische Speicheranordnung 301, wie sie in Fig. 3 dargestellt ist, weist ein Speicherzellenfeld 302 und eine Dekoderschaltung 307 auf.

[0005] Im Speicherzellenfeld 302 sind die Daten in Speicherzellen 303 als Speicherinhalt der Speicherzellen 303 abgespeichert. Die Dekoderschaltung 307 dient zum Auswählen der einzelnen Speicherzellen 303, um ihren Speicherinhalt auszullesen.

[0006] Das Speicherzellenfeld 302 enthält entsprechend eine Mehrzahl von Speicherzellen 303, eine Mehrzahl von parallel zueinander verlaufenden Wortleiterbahnen 304 und eine Mehrzahl von die Wortleiterbahnen 304 senkrecht kreuzenden und parallel zueinander verlaufenden Bitleiterbahnen 305. Dabei sind die Speicherzellen 303 an den Orten der Kreuzungen der Wortleiterbahnen 304 und der Bitleiterbahnen 305 angeordnet. Der Abstand benachbarter Wortleiterbahnen 304 und der Abstand benachbarter Bitleiterbahnen 305 stellt das Raster des Speicherzellenfeldes 302 dar.

[0007] Die Dekoderschaltung 307 weist einen Wortleitungsdemultiplexer 308 und einen Bitleitungsdemultiplexer 311 auf. Weiter weist die Speicheranordnung 301 einen Ausleseausgang 314 auf. Mit dem Wortleitungsdemultiplexer 308 ist jede einzelne Wortleiterbahn 304 des Speicherzellenfeldes 302 gezeilt auswählbar. Ebenso ist mit dem Bitleitungsdemultiplexer 311 jede einzelne Bitleiterbahn 305 des Speicherzellenfeldes 302 gezeilt auswählbar.

[0008] Dadurch, dass eine vorbestimmte Wortleiterbahn 304 und eine vorbestimmte Bitleiterbahn 305 ausgewählt werden, wird die Speicherzelle 303 am Kreuzungspunkt der ausgewählten Wortleiterbahn 304 und der ausgewählten Bitleiterbahn 305 ausgewählt und der Speicherinhalt dieser Speicherzelle 303 an den Ausleseausgang 314 angelegt.

[0009] Der Wortleitungsdemultiplexer 308 weist eine Mehrzahl von mit je einer Wortleiterbahn 304 des Speicherzellenfeldes 302 elektrisch gekoppelten Wortleitungen 309 und eine Mehrzahl von mit zumindest einer Wortleitung 309 elektrisch gekoppelten Wortleitungs-Adressleitungen (WL-Adressleitungen) 310 auf.

[0010] Der Bitleitungsdemultiplexer 311 weist eine Mehrzahl von mit je einer Bitleiterbahn 305 des Speicherzellenfeldes 302 elektrisch gekoppelten Bitleitungen 312 und eine Mehrzahl von mit zumindest einer Bitleitung 312 elektrisch gekoppelten Bitleitungs-Adressleitungen (BL-Adressleitungen) 313 auf.

[0011] Zum Auswählen einer vorbestimmten Wortleitung 309 wird an den Wortleitungsdemultiplexer 308 eine der bestimmten Wortleitung 309 zugeordnete Wort-Adresse "aabbcc" angelegt. Dies wird dadurch bewirkt, dass an jede WL-Adressleitung 310 ein entsprechendes Wortsignal a, a, b, b, c bzw. c angelegt wird. Durch die Gesamtheit der angelegten Wortsignale a, a, b, b, c, c ist die Wort-Adresse "aabbcc" gebildet.

[0012] Jede Wortleitung 309 ist durch die zugehörige Wort-Adresse "aabbcc" eindeutig auswählbar.

[0013] Zum Auswählen einer vorbestimmten Bitleitung 312 wird an den Bitleitungsdemultiplexer 311 eine der bestimmten Bitleitung 312 zugeordnete Bit-Adresse "ddeeef" angelegt. Dies wird dadurch bewirkt, dass an jede BL-Adressleitung 313 ein entsprechendes Bitsignal d, d, e, e, f bzw. f angelegt wird. Durch die Gesamtheit der angelegten Bitsignale d, d, e, e, f, f ist die Bit-Adresse "ddeeef" gebildet.

[0014] Jede Bitleitung 311 ist durch die zugehörige Bit-Adresse "ddeeef" eindeutig auswählbar.

[0015] Die Wort-Adresse und die Bit-Adresse werden von einer (nicht dargestellten) Ansteuerlogik geliefert.

[0016] Die WL-Adressleitung 310 ist mit der (den) mit ihr gekoppelte(n) Wortleitung(en) 309 üblicherweise über (jeweils) einen Transistor elektrisch gekoppelt. Die BL-Adressleitung 313 ist mit der (den) mit ihr gekoppelte(n) Bitleitung(en) 312 ebenfalls üblicherweise über (jeweils) einen Transistor elektrisch gekoppelt. Man spricht in diesem Fall von einer Dekoderschaltung in Transistorlogik.

[0017] Das Speicherzellenfeld 302 und auch die Dekoderschaltung 307 können zum Beispiel in CMOS-Technologie (Complementary Metal Oxide Semiconductor Technologie) implementiert sein.

[0018] Jede Speicherzelle 303 ist üblicherweise aus einem (z. B. bei einem DRAM, Dynamic Random Access Memory) oder mehreren (z. B. bei einem SRAM, Static Random Access Memory) Transistoren aufgebaut.

[0019] Fortschritte in der Halbleiterprozessstechnik erlauben die Fertigung von Speicherzellenfeldern mit immer kleineren Rastern. Entsprechend wird die Herstellung von Halbleiter-Speicheranordnungen mit immer höheren Integrationsdichten möglich.

[0020] Ebenso gibt es zu Halbleitern alternative Materialien, zum Beispiel organische Materialien, die als Ausgangsmaterialien für Speicherzellen für hochdichte Speicher vielversprechend sind. In [1] ist ein organisches Material beschrieben, dessen Leitfähigkeit durch ein elektrisches Feld um einen Faktor 104 reversibel veränderbar ist. Elemente aus einem solchen organischen Material könnten als Speicherzellen dienen. In dem organischen Material kann in Abhängigkeit vom an das Material angelegten elektrischen Feld entweder ein hoher oder ein niedriger Leitfähigkeitswert vorliegen und damit entweder eine logische "1" ("Eins") oder eine logische "0" ("Null") gespeichert sein.

[0021] Das in [1] beschriebene organische Material weist eine erste Materialkomponente aus 3-Nitrobenzal-Malonal-Molekülen (NBMN) und eine zweite Materialkomponente aus 1,4-Phenylendiimin-Moleküle (pDA) auf. Die NBMN-Moleküle und die pDA-Moleküle sind zueinander konjugiert, und jeweils ein NBMN-Molekül und ein pDA-Molekül bilden in dem organischen Material einen Komplex. Von dem organischen Material wurde eine 20 nm bis 200 nm dicke Schicht hergestellt. An die Schicht wurde eine elektrische Spannung angelegt, um die elektrische Leitfähigkeit der Schicht zu beeinflussen. Bei einer 200 nm dicken Schicht wurde durch ein Verändern der angelegten Spannung um 3,2 V eine Veränderung der spezifischen elektrischen Leitfähigkeit um vier Größenordnungen erzielt. Die erzielte Veränderung der Leitfähigkeit ist reversibel.

[0022] In [1] ist weiter ein vergleichbarer Effekt auch für andere organische Materialien mit einer ersten Materialkomponente aus ersten Molekülen und einer zweiten Materialkomponente aus zweiten Molekülen beschrieben. Insbesondere ist ein solcher Effekt für solche organischen Materialien beschrieben, die eine erste Materialkomponente aus ersten Molekülen und eine zweite Materialkomponente aus zweiten Molekülen, die zu den ersten Molekülen konjugiert sind, aufweisen, so dass jeweils ein Molekül aus der ersten Materialkomponente und ein Molekül aus der zweiten Materialkomponente zusammen einen Komplex bilden.

[0023] In [2] ist eine Metall/Organisches Material/Metall(MOM)-Heterostruktur-Diode beschrieben. Bei der MOM-Heterostruktur-Diode ist eine monomolekulare Schicht aus einem elektrisch leitfähigen, gleichrichtenden organischen Material zwischen zwei Metallschichten gebettet, so dass die Schicht aus dem gleichrichtenden organischen Material die Funktion einer Diode übernimmt. Die gleichrichtende Eigenschaft jedes einzelnen organischen Moleküls des organischen Materials ist auf die asymmetrische Struktur des Moleküls zurückzuführen.

[0024] Zu einer weiteren Erhöhung der Integrationsdichte müssen nicht nur die Speicherzellen selbst verkleinert werden, sondern auch die elektrischen Zuleitungen zu den Speicherzellen, d. h. die Wortleiterbahnen und Bitleiterbahnen.

[0025] Als extrem dünne elektrisch leitfähige Elemente sind elektrisch leitfähige Kohlenstoff-Nanoröhren bekannt. Der Durchmesser einer Kohlenstoff-Nanoröhre kann 0,2 Nanometer bis ungefähr 50 Nanometer betragen und beträgt typischerweise 0,7 Nanometer bis einige wenige Nanometer. Mit Kohlenstoff-Nanoröhren kann daher zum Beispiel ein Leitungsgraster der Wort- und Bitleitungen von 10 nm verwirklicht werden. Ein Speicher mit 1 cm<sup>2</sup> Fläche und einem solchen Leitungsgraster von 10 nm hätte dann beispielsweise eine Kapazität von 1 Terabit.

[0026] Damit die Integrationsdichte einer Speicheranordnung weiter erhöht werden kann, muss nicht nur das Raster des Speicherzellenfeldes verkleinert werden. Vielmehr muss auch das Raster der zum Auslesen des Speicherzellenfeldes verwendeten Dekoderschaltung verkleinert werden.

[0027] Bei einer herkömmlichen Dekoderschaltung in Transistorlogik ist jedoch der Platzbedarf relativ groß. Daher kann das Raster der Dekoderschaltung hierbei nicht im gleichen Maße verkleinert werden wie das Raster des Speicherzellenfeldes.

[0028] Ein Speicherzellenfeld mit einem sehr kleinen Raster kann dadurch angesteuert werden, dass das Raster der Speicheranordnung vom Speicherzellenfeld zur Dekoderschaltung hin allmählich an das Raster der Dekoderschaltung angepasst wird. Diese Lösungsmöglichkeit ist in Fig. 4 schematisch veranschaulicht. Fig. 4 zeigt schematisch drei Leiterbahnen 404 (z. B. Wortleiterbahnen oder Bitleiterbahnen) in einer Speicheranordnung. Die Leiterbahnen 404 erstrecken sich in einem Speicherzellenfeld 401, einer Dekoderschaltung 403 und einem zwischen dem Speicherzellenfeld 401 und der Dekoderschaltung 403 angeordneten Übergangsbereich 402. Im Speicherzellenfeld 401 weisen die Leiterbahnen 404 ein erstes, kleineres Raster auf, in der Dekoderschaltung 403 weisen die Leiterbahnen 404 ein zweites, größeres Raster auf. Im Übergangsbereich 402 wird das Raster allmählich vom kleineren Raster des Speicherzellenfeldes 401 auf das größere Raster der Dekoderschaltung 403 vergrößert.

[0029] Der Erfindung liegt das Problem zugrunde, eine effiziente, einfache und kompakte Speicheranordnung mit hoher Integrationsdichte und einen Computer mit einer solchen Speicheranordnung zu schaffen.

[0030] Insbesondere liegt der Erfindung das Problem zu-

grunde, eine solche Speicheranordnung zu schaffen, die eine Dekoderschaltung aufweist, welche ein Dekodieren eines beliebig kleinen rasterigen Speicherzellenfeldes (Speicherzellenfeldes mit einem kleinen Raster) ermöglicht.

[0031] Das Problem wird gelöst durch eine Speicheranordnung mit den Merkmalen gemäß dem unabhängigen Patentanspruch.

[0032] Die Speicheranordnung weist ein Speicherzellenfeld und eine Dekoderschaltung auf.

[0033] Das Speicherzellenfeld weist eine Mehrzahl von Speicherzellen auf, die je ein Speicherelement mit einem veränderbaren Speicherelement aufweisen. Der Speicherelement kann während des gewöhnlichen Betriebs veränderbar sein, wie bei einem herkömmlichen RAM. Im gewöhnlichen Betrieb ist in diesem Fall Auslesen und Beschreiben der Speicherzellen möglich. Alternativ kann der Speicherelement während des gewöhnlichen Betriebs "fest" sein und während des Herstellungsprozesses oder bei einem Wartungsbetrieb, der im gewöhnlichen Betrieb nicht möglich ist, veränderbar sein, wie z. B. bei einem ROM, PROM, EPROM oder EEPROM (ROM = Read Only Memory; PROM = Programmable ROM; EPROM = Erasable PROM; EEPROM = Electrically EPROM). In diesem Fall ist im gewöhnlichen Betrieb nur ein Auslesen der Speicherzellen möglich, nicht aber ein Beschreiben.

[0034] Weiter weist das Speicherzellenfeld eine Mehrzahl von Wortleiterbahnen und eine Mehrzahl von der Wortleiterbahnen kreuzenden Bitleiterbahnen auf, wobei die Speicherzellen an Orten der Kreuzungen von Wortleiterbahnen und Bitleiterbahnen angeordnet sind.

[0035] Die Dekoderschaltung ist zum Auslesen der Speicherzellen vorgesehen und weist einen Wortleitungskodekoder und einen Bitleitungskodekoder auf.

[0036] Der Wortleitungskodekoder weist eine Mehrzahl von mit je einer Wortleiterbahn des Speicherzellenfeldes elektrisch gekoppelten Wortleitungen und eine Mehrzahl von mit zumindest einer Wortleitung elektrisch gekoppelten Wortleitungs-Adressleitungen (WL-Adressleitungen) auf. Über jede WL-Adressleitung ist ein Wortsignal an die mit der jeweiligen WL-Adressleitung gekoppelte zumindest eine Wortleitung anlagbar. Die WL-Adressleitung ist mit der (den) mit ihr gekoppelte(n) Wortleitung(en) (jeweils) über eine Diode elektrisch gekoppelt.

[0037] Der Bitleitungskodekoder weist eine Mehrzahl von mit je einer Bitleiterbahn des Speicherzellenfeldes elektrisch gekoppelten Bitleitungen und eine Mehrzahl von mit zumindest einer Bitleitung elektrisch gekoppelten Bitleitungs-Adressleitungen (BL-Adressleitungen) auf. Über jede BL-Adressleitung ist ein Bitsignal an die mit der jeweiligen BL-Adressleitung gekoppelte zumindest eine Bitleitung angelegt. Die BL-Adressleitung ist mit der (den) mit ihr gekoppelte(n) Wortleitung(en) (jeweils) über eine Diode elektrisch gekoppelt.

[0038] Außerdem weist die Speicheranordnung einen Ausleseausgang zum Auslesen des Speicherinhalts jeder einzelnen Speicherzelle auf, wobei durch die Auswahl einer vorbestimmten Wortleitung und einer vorbestimmten Bitleitung eine den Speicherinhalt einer vorbestimmten einzelnen Speicherzelle widerspiegelnde Ausgabe an den Ausleseausgang ausgegeben wird.

[0039] Zum Auswählen der vorbestimmten Wortleitung wird an den Wortleitungskodekoder eine der bestimmten Wortleitung zugeordnete Wort-Adresse angelegt. Dies wird dadurch bewirkt, dass an jede WL-Adressleitung ein entsprechendes Wortsignal angelegt wird. Durch die Gesamtheit der angelegten Wortsignale ist die Wort-Adresse gebildet.

[0040] Jede Wortleitung ist durch die zugehörige Wort-Adresse eindeutig auswählbar.

[0041] Zum Auswählen der vorbestimmten Bitleitung wird an den Bitleitungsdekoder eine der bestimmten Bitleitung zugeordnete Bit-Adresse angelegt. Dies wird dadurch bewirkt, dass an jede BL-Adressleitung ein entsprechendes Bitleitungs-Bitsignal angelegt wird. Durch die Gesamtheit der angelegten Bitsignale ist die Bit-Adresse gebildet.

[0042] Jede Bitleitung ist durch die zugehörige Bit-Adresse eindeutig auswählbar.

[0043] Die Wort-Adresse und die Bit-Adresse werden von einer (nicht dargestellten) Ansteuerlogik geliefert.

[0044] Die Verwendung von Dioden zum Koppeln der WL-Adressleitungen mit den Wortleitungen bzw. der BL-Adressleitungen mit den Bitleitungen erlaubt eine besonders kompakte Bauweise für die Speicheranordnung und ermöglicht somit die Herstellung einer besonders effizienten Speicheranordnung mit einer besonders hohen Integrationsdichte.

[0045] Durch die Verwendung von Dioden kann daher der (ggf. mittlere) Abstand benachbarter Wortleitungen oder Bitleitungen, der im folgenden als das Raster der Dekoderschaltung bezeichnet wird, besonders klein gestaltet sein. Dies hat zum einen die Auswirkung, dass der Platzbedarf gering ist. Zum anderen können auch dann, wenn das Speicherzellenfeld ein relativ kleines Raster hat, die Dekoderschaltung und das Speicherzellenfeld das gleiche Raster haben. D. h. zwei benachbarte Wortleitungen der Dekoderschaltung können den gleichen Abstand haben wie die entsprechenden zwei benachbarten Wortleiterbahnen des Speicherzellenfeldes; und/oder zwei benachbarte Bitleitungen der Dekoderschaltung können den gleichen Abstand haben wie die entsprechenden zwei benachbarten Bitleiterbahnen des Speicherzellenfeldes. Damit ist kein Übergangsbereich notwendig, in dem das Raster des Speicherzellenfeldes an das Raster der Dekoderschaltung angenähert wird. Somit wird zusätzlich Platz gespart.

[0046] Jede einzelne Speicherzelle kann als herkömmliche, in CMOS-Technik oder einer ähnlichen Technik implementierte SRAM-, DRAM- oder ROM-Speicherzelle auf Halbleiterbasis vorgesehen sein. Eine typische solche Speicherzelle weist zumindest einen Transistor auf.

[0047] Bevorzugt ist als Speicherzelle eine Struktur vorgesehen, bei der jeweils am Ort der Kreuzung einer Wortleiterbahn mit einer Bitleiterbahn die Wortleiterbahn und die Bitleiterbahn durch einen Speicher-Widerstand mit einer veränderbaren Leitfähigkeit elektrisch miteinander verbunden sind. Die Leitfähigkeit des Speicher-Widerstandes kann wahlweise zumindest einen ersten Leitfähigkeitswert und einen vom ersten Leitfähigkeitswert unterschiedlichen Leitfähigkeitswert annehmen. Der Speicherinhalt der Speicherzelle ist durch die Leitfähigkeit des Speicher-Widerstandes bestimmt. Damit Platz gespart wird, ist durch den Speicher-Widerstand vorzugsweise auch die mechanische Verbindung zwischen der Bitleiterbahn und der Wortleiterbahn bewirkt. Alternativ kann die mechanische Verbindung zwischen der Bitleiterbahn und der Wortleiterbahn durch ein gesondertes Element bewirkt sein.

[0048] Die beschriebene Speicherzelle mit dem Speicher-Widerstand als Speichererelement hat den Vorteil, dass ihr Platzbedarf sehr gering ist.

[0049] Als Speicher-Widerstand kann jeder beliebige Widerstand verwendet werden, dessen Leitfähigkeit zwischen einem ersten Leitfähigkeitswert und einem zweiten, vom ersten Leitfähigkeitswert unterschiedlichen Leitfähigkeitswert reversibel veränderbar ist.

[0050] In diesem Fall stellt der erste Leitfähigkeitswert einen Speicherinhalt "1" der Speicherzelle dar, und der zweite Leitfähigkeitswert stellt einen Speicherzustand "0" der Speicherzelle dar, oder umgekehrt. Aufgrund der reversiblen

Veränderbarkeit des Leitfähigkeitswerts ist der Speicherinhalt der Speicherzelle sehr zuverlässig zwischen "1" und "0" umschaltbar.

[0051] Typischerweise unterscheidet sich der erste Leitfähigkeitswert vom zweiten Leitfähigkeitswert um einen Faktor von ungefähr  $10^4$  bis  $10^5$ . Auf diese Weise ist der Unterschied zwischen dem Leitfähigkeitswert für eine logische "0" und dem Leitfähigkeitswert für eine logische "1" so groß, dass die Gefahr, dass eine "0" fälschlicherweise als eine "1" interpretiert wird oder umgekehrt, gering ist.

[0052] Alternativ kann als Speichererelement eine Diode verwendet werden. Der Speicherinhalt kann dabei durch die Orientierung der Diode festgelegt sein. Beispielsweise kann eine von einer Wortleiterbahn zu einer Bitleiterbahn in Sperrrichtung orientierte eingebaute Diode eine logische "1" darstellen, und eine von einer Wortleiterbahn zu einer Bitleiterbahn in Durchlassrichtung eingebaute Diode eine logische "0" darstellen, oder umgekehrt. Alternativ kann der Speicherinhalt durch die Einsatzzspannung der Diode festgelegt sein. Die Einsatzzspannung kann zum Beispiel durch eine bestimmte in der Diode vorgesehene Dotierstoffkonzentration festgelegt sein.

[0053] Alternativ kann als Speichererelement ein Speichererelement mit einem organischen Film verwendet werden, der ein organisches Material aufweist, wobei die Leitfähigkeit des organischen Films durch Anlegen eines geeigneten elektrischen Feldes an den organischen Film veränderbar ist. Der Speicherinhalt kann in diesem Fall durch die gezielt eingestellte Leitfähigkeit des organischen Films festgelegt sein.

[0054] Insbesondere kann als Speichererelement ein Speichererelement mit einem organischen Film verwendet werden, der ein gleichrichtendes organisches Material aufweist. Der Speicherinhalt kann in diesem Fall durch die Orientierung des organischen Films festgelegt sein.

[0055] Bei Verwendung eines organischen Films für das Speichererelement kann ein Speichererelement mit besonders kleinen Abmessungen hergestellt werden. Dadurch ist es möglich, die Integrationsdichte der Speicheranordnung weiter zu erhöhen.

[0056] Gemäß einer Ausgestaltung der Erfindung wird als Speichererelement ein Film aus einem organischen Material verwendet, das eine erste Materialkomponente aus ersten Molekülen und eine zweite Materialkomponente aus zweiten Molekülen aufweist.

[0057] Insbesondere kann ein solcher Film verwendet werden, bei dem die ersten Moleküle und die zweiten Moleküle zueinander konjugiert sind, so dass also, wenn erste Moleküle und zweite Moleküle in Kontakt gebracht werden, jeweils ein erstes Molekül und ein zweites Molekül einen Komplex bilden.

[0058] Insbesondere können die ersten Moleküle 3-Nitrobenzyl-Malonitril-Moleküle (NBMN) sein und die zweiten Moleküle 1,4-Phenylendiamin-Moleküle (pDA) sein. Insbesondere kann als organisches Material also das in [1] beschriebene organische Material aus 3-Nitrobenzyl-Malonitril-Molekülen (NBMN) und 1,4-Phenylendiamin-Molekülen (pDA) verwendet werden.

[0059] Alternativ kann ein anderes geeignetes organisches Material für die Speicher-Diode verwendet werden. Das organische Material ist dann in einer geeigneten Form vorgesehen, so dass es die gewünschten Leitfähigkeitseigenschaften hat. Je nach Material kann das organische Material als dünner Film, als Quader, als Zylinder oder in einer anderen Form vorgesehen sein.

[0060] Jede der Speicherzellen kann die gleiche Bauweise aufweisen.

[0061] Alternativ kann zumindest eine Speicherzelle die oben beschriebenen Bauweisen aufweisen und zumin-

dest eine Speicherzelle eine andere der oben beschriebenen Bauweisen aufweisen, so dass Speicherzellen in zwei oder mehr unterschiedlichen Bauweisen vorgesehen sind.

**[0062]** Die Dioden der Dekoderschaltung können herkömmliche Dioden, zum Beispiel herkömmliche Halbleiterdioden sein. Die Halbleiterdioden können in CMOS-Technologie oder einer ähnlichen Technologie implementiert sein.

**[0063]** Alternativ kann für zumindest eine Diode die Diode zumindest ein Diodenelement aus einem gleichrichtenden organischen Material aufweisen.

**[0064]** Die Wortleitung und die WL-Adressleitung bzw. die Bitleitung und die BL-Adressleitung, an deren Kreuzungspunkt die Diode angeordnet ist, können direkt an das Diodenelement angekoppelt sein.

**[0065]** Alternativ kann am der Wortleitung (bzw. Bitleitung) zugewandten Ende des Diodenelements und am der WL-Adressleitung (bzw. BL-Adressleitung) zugewandten Ende des Diodenelements je ein Element oder eine Schicht aus einem elektrisch leitfähigen Material, z. B. einem Metall, angeordnet sein.

**[0066]** Die Dioden der Dekoderschaltung können insbesondere als Metall/Organisches Material(MOM)-Heterostruktur-Dioden ausgebildet sind, die je zumindest eine erste Metallschicht, eine auf der ersten Metallschicht ausgebildete, aus dem gleichrichtenden organischen Material bestehende organische Schicht und eine auf der organischen Schicht ausgebildete zweite Metallschicht aufweisen. Insbesondere kann bei der Erfindung eine MOM-Heterostruktur-Diode wie die in [2] beschriebene als Diode verwendet werden.

**[0067]** Als gleichrichtendes organisches Material bei der Diode kann jedes beliebige organische Material mit gleichrichtenden elektrischen Eigenschaften verwendet werden.

**[0068]** Insbesondere kann bei der Diode ein organisches Material aus asymmetrischen elektrisch leitfähigen Molekülen verwendet werden, die eine geeignete räumliche Asymmetrie aufweisen, so dass sie elektrisch gleichrichtende Eigenschaften haben.

**[0069]** Das gleichrichtende organische Material bei der Diode kann zum Beispiel 4-thioacetylbiiphenyl aufweisen.

**[0070]** Von dem gleichrichtenden organischen Material kann für die Diode beispielsweise eine Mehrzahl von einzelnen asymmetrischen Molekülen zwischen der entsprechenden Wortleitung (bzw. Bitleitung) und der entsprechenden WL-Adressleitung (bzw. BL-Adressleitung) angeordnet sein, wobei die einzelnen Moleküle parallel zueinander ausgerichtet sind, so dass aus den Molekülen eine monomolekulare Schicht ausgebildet ist. Jedes der einzelnen Moleküle stellt eine elektrisch leitfähige, gleichrichtende Verbindung zwischen der Wortleitung (bzw. Bitleitung) und der WL-Adressleitung (bzw. BL-Adressleitung) dar.

**[0071]** Alternativ kann von dem organischen Material für die Diode ein einzelnes gleichrichtendes organisches Molekül verwendet werden, das zwischen der Wortleitung (bzw. Bitleitung) und der WL-Adressleitung (bzw. BL-Adressleitung) geeignet ausgerichtet angeordnet ist.

**[0072]** Die Wortleiterbahnen und/oder die Bitleiterbahnen des Speicherzellenfeldes können planare Leiterbahnen sein und können aus Metall oder aus leitfähigem Polysilizium gefertigt sein. Die Wortleiterbahnen und/oder die Bitleiterbahnen können in einem herkömmlichen CMOS-Prozess implementiert sein. Insbesondere falls das Speicherzellenfeld ein sehr kleines Raster hat, können die Wortleiterbahnen und/oder die Bitleiterbahnen durch Elektronenstrahl-Lithographie oder eine andere Rasterlithographietechnik wie beispielsweise AFM (Rasterkraftmikroskop)-Lithographie gefertigt sein.

**[0073]** Alternativ können die Wortleiterbahnen und/oder die Bitleiterbahnen des Speicherzellenfeldes aus Kohlenstoff-Nanoröhren mit metallischer Leitfähigkeit gefertigt sein. Werden sowohl für die Wortleiterbahnen als auch für die Bitleiterbahnen Kohlenstoff-Nanoröhren verwendet, so kann zum Beispiel ein Raster des Speicherzellenfeldes von 10 nm ohne weiteres verwirklicht werden. Dadurch ist es möglich, die Integrationsdichte der Speicheranordnung weiter zu erhöhen.

**[0074]** Ebenso können der Wortleitungsdekoder und/oder der Bitleitungsdekoder in CMOS-Technologie implementiert sein. Alternativ können der Wortleitungsdekoder und/oder der Bitleitungsdekoder mittels einer Rasterlithographietechnik hergestellt sein. Die Wortleitungen und/oder die Bitleitungen der Dekoderschaltung können planare Leiterbahnen sein und können aus Metall oder aus leitfähigem Polysilizium gefertigt sein.

**[0075]** Alternativ können die Wortleitungen und/oder die Bitleitungen der Dekoderschaltung aus Kohlenstoff-Nanoröhren mit metallischer Leitfähigkeit gefertigt sein. Bei der Verwendung von metallisch leitfähigen Kohlenstoff-Nanoröhren als Wortleitungen und/oder Bitleitungen ist die Integrationsdichte der Speicheranordnung besonders hoch.

**[0076]** Das Raster des Speicherzellenfeldes ist bevorzugt möglichst klein gewählt, wobei das kleinstmögliche Raster durch die Technologie vorgegeben ist, in der das Speicherzellenfeld gefertigt ist.

**[0077]** Ebenso sind das Raster des Wortleitungsdekoders und das Raster des Bitleitungsdekoders bevorzugt möglichst klein gewählt, wobei das kleinstmögliche Raster wiederum durch die Technologie vorgegeben ist, in der der Wort- bzw. der Bitleitungsdekoder gefertigt ist.

**[0078]** Die Speicherzellen in dem Speicherzellenfeld sind bevorzugt in einem Raster angeordnet, das eine Periodizität von höchstens 200 nm, dabei bevorzugt höchstens 100 nm und dabei wiederum bevorzugt 10 nm aufweist.

**[0079]** Die Speicherzellen des Speicherzellenfeldes können zu Speicherzellenpaaren mit jeweils einer ersten Speicherzelle und einer zweiten Speicherzelle angeordnet sein, wobei der Speicherinhalt der zweiten Speicherzelle gleich dem inversen Speicherinhalt der ersten Speicherzelle ist. Falls also der Speicherinhalt der ersten Speicherzelle einer logischen "1" entspricht, entspricht der Speicherinhalt der zweiten Speicherzelle einer logischen "0" und umgekehrt.

**[0080]** Zum Ermitteln des Speicherinhalts einer Speicherzelle eines Speicherzellenpaares werden vorzugsweise beide Speicherzellen des Speicherzellenpaares ausgelesen. Der ausgelesene Speicherinhalt der zweiten Speicherzelle und das Inverse des ausgelesenen Speicherinhalts der ersten Speicherzelle werden miteinander verglichen. Falls der Vergleich keine Übereinstimmung ergibt, kann eine Fehlerbehandlungsroutine gestartet werden. Übereinstimmung bedeutet dabei, dass der ausgelesene Speicherinhalt der zweiten Speicherzelle und das Inverse des ausgelesenen Speicherinhalts der ersten Speicherzelle entweder beide logisch "1" sind oder beide logisch "0" sind. Als Fehlerbehandlungsroutine kann beispielsweise veranlasst werden, dass die Ausleseergebnisse verworfen werden. Zusätzlich oder alternativ kann veranlasst werden, dass ein zweiter Auslesezyklus gestartet wird, in dem jede der beiden Speicherzellen erneut ausgelesen wird.

**[0081]** Eine Computeranordnung weist auf: einen Prozessor, eine Speicheranordnung und einen Ansteuerlogik zum Liefern von Wortsignalen und Bitsignalen zum Betrieb der Speicheranordnung. Die Speicheranordnung kann zum Beispiel gemäß einer beliebigen der oben beschriebenen Ausführungsformen ausgebildet sein. Der Prozessor und die Ansteuerlogik sind in einer CMOS-Struktur oder einer dazu

alternativen Halbleiter-Struktur, z. B. auf Verbindungshalbleiterbasis, implementiert. Die Speicheranordnung ist in die CMOS-Struktur bzw. alternative Halbleiter-Struktur integriert.

[0082] Die Integration der Speicheranordnung in eine herkömmliche CMOS- oder alternative Struktur bietet den Vorteil, dass die Speicheranordnung mit geringem Aufwand in die Computeranordnung integrierbar ist, so dass die Computeranordnung mit der Speicheranordnung kostengünstig und rationell herstellbar ist.

[0083] Vorzugsweise weist die CMOS- oder alternative Struktur mindestens zwei leitfähige Ebenen mit jeweils leitfähigen Strukturen auf, wobei unterschiedliche leitfähige Ebenen überwiegend voneinander elektrisch isoliert sind. Dabei sind die Ansteuerlogik mit Ausnahme von Verbindungsleitungen einerseits und die Speicheranordnung andererseits in unterschiedlichen leitfähigen Ebenen angeordnet. Die WL-Adressleitungen und die BL-Adressleitungen der Speicheranordnung sind jeweils durch entsprechende der Verbindungsleitungen mit der Ansteuerlogik verbunden. Die Verbindungsleitungen bilden also insbesondere eine elektrische Verbindung zwischen unterschiedlichen leitfähigen Ebenen.

[0084] Die Dekoderschaltung in Diodenlogik bietet insbesondere für Speicheranordnung mit extrem kleinem Leiteraster entscheidende Vorteile. Durch die Verwendung von Dioden bei der Dekoderschaltung ist die Dekoderschaltung besonders kompakt gestaltet. Somit sind mit der Dekoderschaltung in Diodenlogik auch Speicherzellenfelder ansteuerbar, die mit einer herkömmlichen Dekoderschaltung nicht mehr angesteuert werden können.

[0085] Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert. Es zeigen:

[0086] Fig. 1 eine schematische Darstellung einer bevorzugten Ausführungsform einer erfindungsgemäßen Speicheranordnung;

[0087] Fig. 2 eine schematische Darstellung einer bevorzugten Ausführungsform einer erfindungsgemäßen Diode mit einem organischen Material;

[0088] Fig. 3 eine schematische Darstellung einer Speicheranordnung nach dem Stand der Technik;

[0089] Fig. 4 eine schematische Darstellung von drei Leiterbahnen, die in einem Speicherzellenfeld, einem Übergangsbereich und einer Dekoderschaltung verlaufen; und

[0090] Fig. 5 eine schematische Teilansicht eines Computers mit einer erfindungsgemäßen Speicheranordnung und einer Ansteuerlogik zum Betreiben der Speicheranordnung, gemäß einer bevorzugten Ausführungsform der Erfindung.

[0091] Fig. 1 zeigt eine schematische Darstellung einer bevorzugten Ausführungsform einer erfindungsgemäßen Speicheranordnung 1.

[0092] Die Speicheranordnung 1 weist ein Speicherzellenfeld 2 und eine Dekoderschaltung 7 auf.

[0093] Das Speicherzellenfeld 2 weist eine Anordnung von mal  $n$  Speicherzellen 3 in einer quadratischen Anordnung auf, die je ein Speicherelement 6 mit einem veränderbaren Speicherinhalt aufweisen. Als Speicherelement 6 ist ein 10 nm dicker Film aus einem organischen Material aus 3-Nitrobenzyl-Malonitril-Molekülen (NBMN) und 1,4-Phenylendiamin-Moleküle (pDA) eingesetzt.

[0094] Weiter weist das Speicherzellenfeld 2 acht Wortleiterbahnen 4 und acht die Wortleiterbahnen 4 kreuzende Bitleiterbahnen 5 auf, wobei die Speicherzellen 3 an Orten der Kreuzungen von Wortleiterbahnen 4 und Bitleiterbahnen 5 angeordnet sind. An jeder Kreuzung ist eine Speicherzelle 3 angeordnet. Jede Wortleiterbahn 4 und jede Bitleiterbahn 5 ist aus je einer elektrisch leitfähigen Kohlenstoff-Nanoröhre

gebildet. Der Durchmesser jeder der Nanoröhren beträgt ca. 2 nm. Alternativ kann eine andere leitfähige Nanoröhre verwendet werden.

[0095] Der Abstand benachbarter Wortleiterbahnen 4 beträgt 10 nm. Der Abstand benachbarter Bitleiterbahnen 5 beträgt ebenfalls 10 nm. D. h. das Raster des Speicherzellenfeldes 2 beträgt 10 nm.

[0096] Die Dekoderschaltung 7 ist zum Auslesen der Speicherzellen 3 vorgesehen und weist einen Wortleistungsdeko- 8 und einen Bitleistungsdeko- 11 auf.

[0097] Der Wortleistungsdeko- 8 weist acht Wortleitungen 9 auf. Jede der Wortleitungen 9 ist mit einer der Wortleiterbahnen 4 des Speicherzellenfeldes 2 elektrisch gekoppelt. Weiter sind sechs WL-Adressleitungen 10 zum Anlegen einer Wort-Adresse an die Wortleitungen 9 vorgesehen. Jede WL-Adressleitung 10 ist mit vier der acht Wortleitungen 9 jeweils über eine Diode 15 elektrisch gekoppelt. Jede WL-Adressleitung 10 weist dabei eine unterschiedliche Kombination von vier Wortleitungen 9 auf, mit denen sie elektrisch gekoppelt ist. Die Diode 15 ist jeweils von der WL-Adressleitung 10 zur Wortleitung 9 hin in Sperrrichtung geschaltet. An jede WL-Adressleitung 10 ist von einer (nicht dargestellten) Ansteuerlogik ein Wortsignal a, a, b, b, c, bzw. c anlegbar. Dabei ist a das zu a inverse Wortsignal, b das zu b inverse Wortsignal und c das zu c inverse Wortsignal. Die Wortsignale a, b und c können jeweils den Wert einer logischen "0" oder einer logischen "1" haben. Falls a den Wert "0" hat, hat zwangsläufig a den Wert "1" und umgekehrt. Analoges gilt für b, b, c, c. Jede Abfolge von Wortsignalen "aabbcc" stellt eine Wort-Adresse zum Auswählen einer vorbestimmten Wortleitung 9 von den Wortleitungen 9 dar.

[0098] Mit der in Fig. 1 dargestellten Anordnung der Dioden 15 in dem Wortleistungsdeko- 8 und der dargestellten Art der Ansteuerung mit den Wortsignalen a, a, b, b, c, c ist jede Wortleitung durch eine zugehörige Wort-Adresse "aabbcc" eindeutig auswählbar.

[0099] Der Bitleistungsdeko- 11 weist acht Bitleitungen 12 auf. Jede der Bitleitungen 12 ist mit einer der Bitleiterbahnen 5 des Speicherzellenfeldes 2 elektrisch gekoppelt. Weiter sind sechs BL-Adressleitungen 13 zum Anlegen eines Bitsignals an die Bitleitungen 12 vorgesehen. Jede BL-Adressleitung 13 ist mit vier der acht Bitleitungen 12 jeweils über eine Diode 15 elektrisch gekoppelt. Jede BL-Adressleitung 13 weist dabei eine unterschiedliche Kombination von vier Bitleitungen 12 auf, mit denen sie elektrisch gekoppelt ist. Die Diode 15 ist jeweils von der BL-Adressleitung 13 zur Bitleitung 12 hin in Sperrrichtung geschaltet. An jede BL-Adressleitung 13 ist von einer (nicht dargestellten) Ansteuerlogik ein Bitsignal d, d, e, e, f, bzw. f anlegbar. Dabei ist d invers zu d, e invers zu e und f invers zu f. Jedes Bitsignal d, e und f kann den Wert einer logischen "0" oder einer logischen "1" haben. Jede Abfolge von Bitsignalen "ddeeff" stellt eine Bit-Adresse zum Auswählen einer vorbestimmten Bitleitung 9 von den Bitleitungen 9 dar.

[0100] Mit der in Fig. 1 dargestellten Anordnung der Dioden 15 bei dem Bitleistungsdeko- 11 und der dargestellten Art der Ansteuerung mit den Bitsignalen d, d, e, e, f, f ist jede Bitleitung durch eine zugehörige Bit-Adresse "ddeeff" eindeutig auswählbar.

[0101] Außerdem weist die Speicheranordnung 1 einen Ausleseausgang 14 zum Auslesen des Speicherinhalts jeder einzelnen Speicherzelle 3 auf, wobei durch die Auswahl einer vorbestimmten Wortleitung 9 und einer vorbestimmten Bitleitung 12 eine den Speicherinhalt einer vorbestimmten einzelnen Speicherzelle 3 widerspiegelnde Ausgabe  $V_{out}$  an den Ausleseausgang 14 ausgegeben wird.

[0102] Weiter ist jede Wortleitung 9 über einen zugehörigen Widerstand  $R_1$  mit einer Versorgungsspannungsquelle

$V_{D0}$  elektrisch gekoppelt.

**[0103]** Jede Bitleitung 12 ist über eine zugehörige Auslesediode 16 mit dem Ausleseausgang 14 verbunden. Die Auslesediode 16 ist von der Bitleitung 12 zum Ausleseausgang 14 hin in Durchlassrichtung geschaltet. Der Ausleseausgang 14 ist mit dem invertierenden Eingang 20 eines Operationsverstärkers 19 elektrisch gekoppelt. Der Ausgang 21 des Operationsverstärkers 19 ist über einen Rückkopplungswiderstand  $R_2$  mit dem invertierenden Eingang 20 elektrisch gekoppelt.

**[0104]** Benachbarte Wortleitungen 9 haben einen Abstand von 10 nm, also den gleichen Abstand wie benachbarte Wortleiterbahnen 4 des Speicherzellenfeldes 2.

**[0105]** Benachbarte Bitleitungen 12 haben einen Abstand von 10 nm, also den gleichen Abstand wie benachbarte Bitleiterbahnen 5 des Speicherzellenfeldes 2.

**[0106]** Benachbarte WL-Adressleitungen 10 und benachbarte BL-Adressleitungen 13 haben jeweils einen gegenseitigen Abstand von 180 nm.

**[0107]** Im folgenden wird die Funktionsweise der Speicheranordnung 1 gemäß der oben unter Bezugnahme auf Fig. 1 beschriebenen bevorzugten Ausführungsform der Erfindung beschrieben.

**[0108]** Für jede Speicherzelle 3 kann der Speicherinhalt alternativ zwei unterschiedliche Speicherwerte,  $R_{z1}$  und  $R_{z2}$ , haben.

**[0109]** An jede der Wortleitungen 9 ist jeweils ein Wortsymbol  $a, a, b, b, c$  bzw.  $c$  angelegt. Außerdem ist an jede der Wortleitungen 9 über den zugehörigen Widerstand  $R_1$  die Versorgungsspannung  $V_{D0}$  angelegt.

**[0110]** Falls der Wert des Wortsymbols in einer bestimmten WL-Adressleitung 10 einer logischen "1" entspricht, sind alle vier Dioden, die mit der bestimmten WL-Adressleitung 10 elektrisch gekoppelt sind, elektrisch leitend. Dadurch fällt bei den vier Wortleitungen 9, die mit jeweils einer der vier Dioden 15 an die bestimmte WL-Adressleitung 10 gekoppelt sind, die Versorgungsspannung  $V_{D0}$  jeweils über die Diode 15 ab. Entsprechend liegen die vier Wortleitungen 9 auf dem Potential  $U_0$ , wobei  $U_0$  die Durchlassspannung der jeweiligen Diode 15 ist. Die vier Wortleitungen sind dadurch als nicht ausgewählt festgelegt.

**[0111]** Falls der Wert des Wortsymbols in einer bestimmten WL-Adressleitung 10 hingegen einer logischen "0" entspricht, sind alle vier Dioden, die mit der bestimmten WL-Adressleitung 10 elektrisch gekoppelt sind, elektrisch gesperrt. Dadurch fällt bei den vier Wortleitungen 9, die mit jeweils einer der vier Dioden 15 an die bestimmte WL-Adressleitung 10 gekoppelt sind, über die jeweilige Diode 15 keine Spannung ab.

**[0112]** An einer einzelnen Wortleitung 9 liegt jedoch nur dann die Versorgungsspannung  $V_{D0}$  an, falls alle drei Dioden 15, die mit der Wortleitung 9 elektrisch gekoppelt sind, gesperrt sind.

**[0113]** Durch jede Wort-Adresse von der Form "aaabcc" wird genau eine Wortleitung 9 festgelegt, bei der alle drei Dioden 15 gesperrt sind. An dieser Wortleitung 9 ist die Versorgungsspannung  $V_{D0}$  (abzüglich Verluste) aufrechterhalten. Diese Wortleitung 9 ist die ausgewählte Wortleitung.

**[0114]** Entsprechende Überlegungen, wie sie obenstehend für den Wortleitungskodekoder 8 angestellt sind, gelten für den Bitleitungskodekoder 11.

**[0115]** Entsprechend werden durch jede Bit-Adresse von der Form "dddeff" genau sieben Bitleitungen 12 durch die Dioden 15 auf die Durchlassspannung  $U_0$  gelegt, während genau eine Bitleitung 12 durch den Operationsverstärker 19, an den Rückkopplungswiderstand  $R_2$  und eine Auslesediode 16 auf die Durchlassspannung  $U_0$  gelegt wird. Diese genau eine Bitleitung 12 ist die ausgewählte Bitleitung.

**[0116]** Der Operationsverstärker 19 liefert an seinem Ausgang 21 eine Ausgangsspannung  $V_{out} < 0$ . Wie sich zeigen lässt, spiegelt der Wert der Ausgangsspannung  $V_{out}$  den Speicherinhalt  $R_{z1}$  bzw.  $R_{z2}$  der ausgewählten Speicherzelle 3 wider.

**[0117]** Bei einer weiteren bevorzugten Ausführungsform der Speicheranordnung wird der Speicher so betrieben, dass je zwei benachbarte Speicherzellen 3 als Speicherzellenpaar einen Speicherplatz zum Abspeichern eines Bits an Daten bilden. Dabei sind in den beiden Speicherzellen 3 eines einzelnen Speicherzellenpaares zueinander invertierte Speicherwerte abgespeichert. D. h. ist in der einen Speicherzelle 3 des Speicherzellenpaares der Speicherwert  $R_{z1}$  (z. B. "0") abgespeichert, so ist in der anderen Speicherzelle 3 des Speicherzellenpaares der Speicherwert  $R_{z2}$  (z. B. "1") abgespeichert und umgekehrt.

**[0118]** Bei dieser weiteren bevorzugten Ausführungsform ist der Zusammenhang zwischen  $V_{out}$  und dem Speicherinhalt relativ einfach darstellbar.

**[0119]** Die Anzahl der Bitleitungen sei gleich  $n$ . Der Gesamtwiderstand  $R_{zp}$  der Parallelschaltung der Speicherwiderstände aller  $n$  Speicherzellen 3 in einer einzelnen Wortleitung 9 ist, unabhängig von den in den Speicherzellen 3 abgespeicherten Speicherinhalten, gleich

$$R_{zp} = (R_{z1}^{-1} + R_{z2}^{-1})^{-1} \cdot 2/n \quad (1)$$

**[0120]** Der in der ausgewählten Wortleitung 9 fließende Strom  $I_{ges}$  ist damit gleich

$$I_{ges} = (V_{D0} - U_0)/(R_1 + R_{zp}) \quad (2)$$

**[0121]** Folglich liegt die ausgewählte Wortleitung 9 auf dem Potenzial

$$U_{WL} = V_{D0} - R_1(V_{D0} - U_0)/(R_1 + R_{zp}) = (R_{zp}V_{D0} + R_1U_0)/(R_1 + R_{zp}) \quad (3)$$

**[0122]**  $R_{z0}$  sei nun der Widerstandswert der ausgewählten Speicherzelle 3. Durch das Speicherelement 6 der ausgewählten Speicherzelle 3 fließt damit ein Strom

$$I_{out} = (U_{WL} - U_0)/R_{z0} \quad (4)$$

**[0123]** Für die Ausgangsspannung  $V_{out}$  am Ausgang 21 des Operationsverstärkers 19 ergibt sich somit betragsmäßig

$$|V_{out}| = R_2(U_{WL} - U_0)/R_{z0} = R_2R_{zp}(V_{D0} - U_0)/(R_{z0}(R_1 + R_{zp})) \quad (5)$$

**[0124]** Der gesuchte Widerstandswert  $R_{z0}$  der ausgewählten Speicherzelle 3 ist somit über eine Messung von  $V_{out}$  bestimmbar.

**[0125]** Bevorzugt wird, wenn der Speicherinhalt einer einzelnen Speicherzelle 3 ausgelesen wird, auch der Speicherinhalt der zweiten Speicherzelle 3 des entsprechenden Speicherzellenpaares ausgelesen.

**[0126]** Bei dem bevorzugten Verfahren zum Auslesen einer Speicheranordnung 1 wird der Speicherinhalt der ersten Speicherzelle 3 ausgelesen. Dadurch wird ein erster analoger Auslesewert  $V_{out}$  geliefert, aus dem ein ausgelesener erster Speicherinhalt (= ausgelesener Speicherinhalt der ersten Speicherzelle 3) ermittelt wird. Zusätzlich wird der Speicherinhalt der zweiten Speicherzelle ausgelesen. Dadurch wird ein zweiter analoger Auslesewert  $V_{out}$  geliefert, aus dem ein ausgelesener zweiter Speicherinhalt (= ausgelesener Speicherinhalt der zweiten Speicherzelle 3) ermittelt wird. Der ausgelesene Speicherinhalt ist entweder "0" oder



"1". Der ausgelesene erste Speicherinhalt wird mit dem Inversen des ausgelesenen zweiten Speicherinhalts verglichen. Falls bei dem Vergleichen festgestellt wird, dass der ausgelesene erste Speicherinhalt mit dem Inversen des ausgelesenen zweiten Speicherinhalts nicht übereinstimmt, könnte ein Auslesefehler vorliegen, und es wird eine Fehlerbehandlungsroutine veranlasst.

[10127] Bei der Fehlerbehandlungsroutine kann zum Beispiel eine Fehlermeldung ausgegeben werden, die einen Benutzer informiert, dass ein Fehler vorliegt.

[10128] Alternativ kann bei der Fehlerbehandlungsroutine der Speicherinhalt der ersten Speicherzelle 3 erneut ausgelesen werden, wodurch ein erneuter erster analoger Auslesewert  $V_{out}$  geliefert wird, aus dem ein erneut ausgelesener erster Speicherinhalt (= ausgelesener Speicherinhalt der ersten Speicherzelle 3 beim erneuten Auslesen) ermittelt wird, und kann der Speicherinhalt der zweiten Speicherzelle erneut ausgelesen werden, wodurch ein erneuter zweiter analoger Auslesewert  $V_{out}$  geliefert wird, aus dem ein erneut ausgelesener zweiter Speicherinhalt (= ausgelesener Speicherinhalt der zweiten Speicherzelle 3 beim erneuten Auslesen) ermittelt wird.

[10129] Falls bei der Fehlerbehandlungsroutine ein erneutes Auslesen vorgenommen wird, kann in jedem Fall der ausgelesene Speicherinhalt aus dem ersten Auslesen verworfen werden und der erneut ausgelesene Speicherinhalt aus dem erneuten Auslesen weiterverwendet werden.

[10130] Alternativ kann für den ersten Speicherinhalt und den zweiten Speicherinhalt gemäß einem bestimmten Abwägungskriterium festgelegt werden, dass entweder der ausgelesene Speicherinhalt oder der erneut ausgelesene Speicherinhalt verworfen wird. Als Abwägungskriterium kann zum Beispiel ein Kriterium verwendet werden, bei dem abgewägt wird, welches Ausleseergebnis, das aus dem erstmaligen Auslesen oder das aus dem erneuten Auslesen, glaubwürdiger erscheint.

[10131] Zum Beispiel wird der ausgelesene bzw. der erneut ausgelesene Speicherinhalt als logische "0" definiert, wenn der analoge bzw. erneute analoge Auslesewert  $V_{out}$  dem Betrag nach kleiner ist als ein vorbestimmter Schwellwert  $V_{th}$ . Der ausgelesene bzw. der erneut ausgelesene Speicherinhalt wird hingegen als logische "1" definiert, wenn der analoge bzw. erneute analoge Auslesewert  $V_{out}$  dem Betrag nach größer ist als der vorbestimmte Schwellwert  $V_{th}$ .

[10132] In diesem Fall kann zum Beispiel der ausgelesene Speicherinhalt verworfen werden, falls der erneut analoge Auslesewert  $V_{out}$  einen größeren Abstand von dem vorbestimmten Schwellwert  $V_{th}$  hat als der analoge Auslesewert  $V_{out}$ , und kann der erneut ausgelesene Speicherinhalt verworfen werden, falls der erneut analoge Auslesewert  $V_{out}$  einen kleineren Abstand von dem vorbestimmten Schwellwert  $V_{th}$  hat als der analoge Auslesewert  $V_{out}$ .

[10133] Bei dem Auslesewert  $V_{out}$  der einen kleineren Abstand vom Schwellwert  $V_{th}$  aufweist, ist die Wahrscheinlichkeit höher, dass die Definition des Speicherinhalts anhand des Auslesewerts  $V_{out}$  als "0" oder "1" falsch ist und daher der ausgelesene Speicherinhalt nicht mit dem tatsächlichen Speicherinhalt übereinstimmt.

[10134] Alternativ dazu, dass entweder der ausgelesene Speicherinhalt oder der erneut ausgelesene Speicherinhalt verworfen wird, kann ein Mittelwert aus dem analogen Wert  $|V_{out}|$  für den ausgelesenen Speicherinhalt und dem analogen Wert  $|V_{out}|$  für den erneut ausgelesenen Speicherinhalt gebildet werden. Falls der Mittelwert größer als der vorbestimmte Schwellwert  $V_{th}$  ist, wird der Speicherinhalt als eine logische "1" definiert. Falls der Mittelwert kleiner als der vorbestimmte Schwellwert  $V_{th}$  ist, wird der Speicherinhalt als eine logische "0" definiert.

[10135] Die Dekoderschaltung 7 kann folgendermaßen hergestellt werden. Im gesamten Bereich des Wortleistungsdekoders 8 und des Bitleitungsdekoders 11 wird eine Schicht aus dem organischen Material vorgesehen. Die Schicht wird so strukturiert, dass an Orten, an denen eine Diode 15 vorhanden sein soll, die Schicht verbleibt, und die Schicht an den übrigen Orten zerstört wird. Die Strukturierung kann zum Beispiel mit Hilfe von Elektronenstrahlolithographie erfolgen. Alternativ kann ein selbstorganisierender Prozess ausgenutzt werden, bei dem das organische Material sich selbstständig nur an den Orten anordnet, an denen eine Diode 15 vorgesehen sein soll. Alternativ kann eine Kombination aus Strukturierung an gewünschten Orten und selbstorganisierter Prozessierung verwendet werden, wobei die selbstorganisierenden Prozesse an ausgewählten und durch Strukturierung vorbereiteten Orten stattfinden.

[10136] Bei einer alternativen bevorzugten Ausführungsform der erfindungsgemäßen Speicheranordnung sind  $1024 \times 1024$  Speicherzellen zu einem Speicherzellenfeld angeordnet. Entsprechend gibt es bei der Speicheranordnung 1024 Wortleiterbahnen, 1024 Bitleiterbahnen, 1024 Wortleitungen und 1024 Bitleitungen, die jeweils ein Raster von 10 nm aufweisen. Der Wortleistungsdekoder hat in diesem Fall 20 WL-Adressleitungen, und der Bitleitungsdekoder hat 20 BL-Adressleitungen. Die WL-Adressleitungen und die BL-Adressleitungen haben jeweils ein Raster von 200 nm. Bei dieser Ausführungsform hat das Speicherzellenfeld eine Fläche von ca.  $10 \mu\text{m} \times 10 \mu\text{m}$ , und der Wortleistungsdekoder und der Bitleitungsdekoder haben jeweils eine Fläche von ca.  $4 \mu\text{m} \times 10 \mu\text{m}$ .

[10137] Bei weiteren alternativen bevorzugten Ausführungsformen der erfindungsgemäßen Speicheranordnung sind jeweils  $2^n$  ( $2$  hoch  $n$ ) Wortleiterbahnen, Bitleiterbahnen, Wortleitungen und Bitleitungen sowie  $2^n \times 2^n$  Speicherzellen vorgesehen; der Wortleistungsdekoder hat in einem solchen Fall  $2n$  ( $2$  mal  $n$ ) WL-Adressleitungen, und der Bitleitungsdekoder hat  $2n$  ( $2$  mal  $n$ ) BL-Adressleitungen. Dabei ist  $n$  eine nicht negative ganze Zahl ( $n = 0, 1, 2, 3, \dots$ ).

[10138] Bei der oben beschriebenen Ausführungsform mit  $1024 \times 1024$  Speicherzellen und 20 Wort-/BL-Adressleitungen beispielsweise ist  $n = 10$ .

[10139] Je größer die ganze Zahl  $n$  ist, umso größer ist auch der Unterschied zwischen der Anzahl  $2^n$  von Wortleitungen (entsprechend den Wortleitungen 9 in Fig. 1) etc. (vgl. oben) einerseits und der Anzahl  $2n$  von WL-Adressleitungen (entsprechend den WL-Adressleitungen 10 in Fig. 1) bzw. BL-Adressleitungen andererseits.

[10140] Daher bietet die Erfindung insbesondere bei Speicheranordnungen mit einer großen Speicherkapazität, d. h. mit einer großen Anzahl von Speicherzellen, entscheidende Vorteile.

[10141] Eine erfindungsgemäße Computeranordnung weist auf: einen Prozessor, eine Speicheranordnung 1 und eine Ansteuerlogik zum Liefern von Wortsignalen und Bitsignalen zum Betrieb der Speicheranordnung. Die Speicheranordnung kann zum Beispiel gemäß einer beliebigen der oben beschriebenen Ausführungsformen ausgebildet sein. Der Prozessor und die Ansteuerlogik sind in einer CMOS-Struktur oder einer dazu alternativen Halbleiter-Struktur, z. B. auf Verbindungshalbleiterbasis, implementiert. Die Speicheranordnung ist in die CMOS-Struktur bzw. alternative Halbleiter-Struktur integriert.

[10142] Fig. 5 zeigt eine schematische Teilansicht eines Computers mit einer erfindungsgemäßen Speicheranordnung und einer Ansteuerlogik zum Betreiben der Speicheranordnung, gemäß einer bevorzugten Ausführungsform der Erfindung.

[10143] Bei dieser bevorzugten Ausführungsform des

Computers, weist die CMOS-artige Struktur eine erste leitfähige Ebene 501 mit leitfähigen Strukturen und eine zweite leitfähige Ebene 502 mit leitfähigen Strukturen auf. Die erste leitfähige Ebene 501 und die zweite leitfähige Ebene 502 sind überwiegend voneinander elektrisch isoliert sind. Die Ansteuerlogik 503 mit Ausnahme von Verbindungsleitungen 504 ist in der ersten leitfähigen Ebene 501 angeordnet. Die WL-Adressleitungen 10 der Speicheranordnung sind in der zweiten leitfähigen Ebene 502 angeordnet. Fig. 5 zeigt zwei WL-Adressleitungen 10. Jede der WL-Adressleitungen 10 der Speicheranordnung 1 ist durch eine entsprechende der Verbindungsleitungen 504 mit der Ansteuerlogik 503 verbunden. In Fig. 5 ist eine Verbindungsleitung 504 dargestellt. Bevorzugt sind die BL-Adressleitungen 13 in einer dritten leitfähigen Ebene angeordnet, die von der ersten leitfähigen Ebene 501 und von der zweiten leitfähigen Ebene 502 unterschiedlich ist (nicht dargestellt in Fig. 5), und jede der BL-Adressleitungen 13 der Speicheranordnung 1 ist durch eine entsprechende der Verbindungsleitungen 504 mit der Ansteuerlogik 503 verbunden (nicht gezeigt in Fig. 5). Die Verbindungsleitungen 504 bilden also insbesondere eine elektrische Verbindung zwischen der ersten leitfähigen Ebene 501 und der zweiten leitfähigen Ebene 502. [0144] Der Begriff "leitfähige Ebene" ist so zu verstehen, dass in der "leitfähigen Ebene" schichtartige elektrisch leitfähige Strukturen ausgebildet sind. Der Begriff ist nicht so zu verstehen, dass die "leitfähige Ebene" durchgehend aus einem elektrisch leitfähigen Material gebildet ist. Zwischen unterschiedlichen leitfähigen Ebenen sind einerseits elektrisch isolierende Materialien angeordnet, zum Beispiel Oxide und/oder Nitride und/oder Gläser, und andererseits Verbindungsleitungen (z. B. sogenannte "Vias"), mittels derer unterschiedliche leitfähige Ebenen miteinander elektrisch gekoppelt sind. [0145] Eine Speicheranordnung 1 selbst weist typischerweise mindestens zwei leitfähige Speicher-Ebenen auf. Beispielsweise sind in einer ersten leitfähigen Speicher-Ebene die Wortleiterbahnen 4, die Wortleitungen 9 und die Bitleitungen-(BL)-Adressleitungen 13 angeordnet und sind in einer zweiten leitfähigen Speicher-Ebene die Bitleiterbahnen 5, die Bitleitungen 12 und die Wortleitungen-(WL)-Adressleitungen 10 angeordnet. Als Speicherelemente 6 der einzelnen Speicherzellen 3 verwendete Speicher-Widerstände stellen leitfähige Verbindungen zwischen der ersten leitfähigen Speicher-Ebene und der zweiten leitfähigen Speicher-Ebene dar. Im Wortleitungskodekoder 8 und im Bitleitungskodekoder 11 stellen die Dioden 15 leitfähige Verbindungen zwischen der ersten leitfähigen Speicher-Ebene und der zweiten leitfähigen Speicher-Ebene dar. [0146] In diesem Dokument sind folgende Veröffentlichungen zitiert:

- [1] H. J. Gao et al., Phys. Rev. Lett. 84, 1780 (2000)  
[2] C. Zhou et al., Appl. Phys. Lett. 71, 611 (1997)

#### Bezugszeichenliste

#### Fig. 1

- 1 Speicheranordnung  
2 Speicherzellenfeld  
3 Speicherzelle  
4 Wortleiterbahn  
5 Bitleiterbahn  
6 Speicherelement  
7 Dekoderschaltung  
8 Wortleitungskodekoder  
9 Wortleitung  
10 WL-Adressleitung  
11 Bitleitungskodekoder

- 12 Bitleitung  
13 BL-Adressleitung  
14 Ausleseausgang  
15 Dioden  
16 Auslesediode  
17 –  
18 –  
19 Operationsverstärker  
20 invertierender Eingang des Operationsverstärkers  
21 Ausgang des Operationsverstärkers

#### Fig. 2

- 201 erste Metallschicht  
202 organische Schicht  
203 zweite Metallschicht

#### Fig. 3

- 301 Speicheranordnung  
302 Speicherzellenfeld  
303 Speicherzelle  
304 Wortleiterbahn  
305 Bitleiterbahn

#### Fig. 4

- 306 –  
307 Dekoderschaltung  
308 Wortleitungskodekoder  
309 Wortleitung  
310 WL-Adressleitung  
311 Bitleitungskodekoder  
312 Bitleitung  
313 BL-Adressleitung  
314 Ausleseausgang

#### Fig. 5

- 401 Speicherzellenfeld  
402 Übergangsbereich  
403 Dekoderschaltung  
404 Leiterbahn

#### Fig. 6

- 501 erste leitfähige Ebene  
502 zweite leitfähige Ebene  
503 Ansteuerlogik  
504 Verbindungsleitung

#### Patentsprüche

1. Speicheranordnung (1) mit einem Speicherzellenfeld (2) mit einer Mehrzahl von Speicherzellen (3), die je ein Speicherelement (6) mit einem Speicherinhalt aufweisen, mit einer Mehrzahl von Wortleiterbahnen (4) und mit einer Mehrzahl von Wortleitungen kreuzenden Bitleiterbahnen (5), wobei die Speicherzellen (3) an Orten der Kreuzungen von Wortleiterbahnen (4) und Bitleiterbahnen (5) angeordnet sind, und einer Dekoderschaltung (7) zum Auslesen der Speicherzellen (3) mit einer Wortleitungskodekoder (8), der eine Mehrzahl von mit je einer Wortleiterbahn (4) elektrisch gekoppelten Wortleitungen (9) und eine Mehrzahl von mit zumindest einer Wortleitung (9) elektrisch gekoppelten WL-Adressleitungen (10) aufweist, über die je ein Wortsignal an die mit der WL-Adressleitung (10) gekoppelte zumindest eine Wortleitung (9) anlegbar ist, wobei die WL-Adressleitung (10) und die Wortleitung (9) über eine Diode (15) miteinander elektrisch gekoppelt sind, einem Bitleitungskodekoder (11), der eine Mehrzahl von mit je einer Bitleiterbahn (5) elektrisch gekoppelten Bitleitungen (12) und eine Mehrzahl von mit zumindest einer Bitleitung (12) elektrisch gekoppelten BL-Adressleitungen (13) aufweist, über die je ein Bitsignal an die mit der BL-Adressleitung (13) gekoppelte zu

mindest eine Bitleitung (9) anlegbar ist, wobei die BL-Adressleitung (13) und die Bitleitung (12) über eine Diode (15) miteinander elektrisch gekoppelt sind, und einem Ausleseausgang (14) zum Auslesen des Speicherinhalts jeder einzelnen Speicherzelle (3), wobei durch die Auswahl einer vorbestimmten Wortleitung (9) und einer vorbestimmten Bitleitung (12) eine den Speicherinhalt einer vorbestimmten einzelnen Speicherzelle (3) widerspiegelnde Ausgabe an den Ausleseausgang (14) ausgebar ist.

2. Speicheranordnung (1) gemäß Anspruch 1, bei der für das Speicherelement (6) ein Speicher-Widerstand mit einer veränderbaren Leitfähigkeit verwendet wird, durch welchen Speicher-Widerstand die Wortleiterbahn (4) und die Bitleiterbahn (5) miteinander verbunden sind, wobei die Leitfähigkeit des Speicher-Widerstandes wahlweise zumindest einen ersten Leitfähigkeitswert und einen vom ersten Leitfähigkeitswert unterschiedlichen Leitfähigkeitswert annehmen kann.

3. Speicheranordnung (1) nach Anspruch 1 oder 2, bei der als Speicherelement (6) ein organischer Film verwendet wird, der ein organisches Material aufweist, wobei die Leitfähigkeit des organischen Films durch Anlegen eines geeigneten elektrischen Feldes an den organischen Film veränderbar ist.

4. Speicheranordnung (1) nach einem der Ansprüche 1 bis 3, bei der zumindest eine Speicherzelle (3) zumindest einen Transistor aufweist.

5. Speicheranordnung (1) nach einem der Ansprüche 1 bis 4, bei der für zumindest eine Diode (15) die Diode (15) zumindest ein Diodenelement aus einem gleichrichtenden organischen Material aufweist.

6. Speicheranordnung (1) nach Anspruch 5, bei der das gleichrichtende organische Material 4-thioacetylphenyl aufweist.

7. Speicheranordnung (1) nach einem der Ansprüche 1 bis 6, bei der die Wortleiterbahnen (4) und/oder die Bitleiterbahnen (5) aus Kohlenstoff-Nanoröhren mit metallischer Leitfähigkeit gefertigt sind.

8. Speicheranordnung (1) nach einem der Ansprüche 1 bis 7, bei der die Wortleitungen (9) und/oder die Bitleitungen (12) aus Kohlenstoff-Nanoröhren mit metallischer Leitfähigkeit gefertigt sind.

9. Speicheranordnung (1) nach einem der Ansprüche 1 bis 8, bei der die Speicherzellen (3) zu Speicherzellenpaaren mit jeweils einer ersten Speicherzelle (3) und einer zweiten Speicherzelle (3) angeordnet sind, wobei der Speicherinhalt der zweiten Speicherzelle (3) gleich dem inversen Speicherinhalt der ersten Speicherzelle (3) ist.

10. Verfahren zum Auslesen einer Speicheranordnung (1) nach Anspruch 9, bei dem der Speicherinhalt der ersten Speicherzelle (3) ausgelesen wird, wodurch ein erster analoger Auslesewert geliefert wird, aus dem ein ausgelesener erster Speicherinhalt ermittelt wird, der Speicherinhalt der zweiten Speicherzelle (3) ausgelesen wird, wodurch ein zweiter analoger Auslesewert geliefert wird, aus dem ein ausgelesener zweiter Speicherinhalt ermittelt wird, und der ausgelesene erste Speicherinhalt mit dem Inversen des ausgelesenen zweiten Speicherinhalts verglichen wird und, falls bei dem Vergleichen festgestellt wird, dass der ausgelesene erste Speicherinhalt mit dem Inversen des ausgelesenen zweiten Speicherinhalts nicht übereinstimmt, eine Fehlerbehandlungsroutine veranlasst wird.

11. Verfahren nach Anspruch 10, bei dem bei der Fehlerbehandlungsroutine eine Fehlermeldung ausgegeben wird.

12. Verfahren nach Anspruch 10 oder 11, bei dem bei der Fehlerbehandlungsroutine der Speicherinhalt der ersten Speicherzelle (3) erneut ausgelesen wird, wodurch ein erneuter erster analoger Auslesewert geliefert wird, aus dem ein erneut ausgelesener erster Speicherinhalt ermittelt wird, und der Speicherinhalt der zweiten Speicherzelle (3) erneut ausgelesen wird, wodurch ein erneuter zweiter analoger Auslesewert geliefert wird, aus dem ein erneut ausgelesener zweiter Speicherinhalt ermittelt wird.

13. Verfahren nach Anspruch 12, bei dem bei der Fehlerbehandlungsroutine für den ersten Speicherinhalt und den zweiten Speicherinhalt gemäß einem Abwägungskriterium festgelegt wird, dass entweder der ausgelesene Speicherinhalt oder der erneut ausgelesene Speicherinhalt verworfen wird.

14. Verfahren nach Anspruch 13, bei dem der ausgelesene bzw. der erneut ausgelesene Speicherinhalt als logische "0" definiert wird, wenn der analoge bzw. erneute analoge Auslesewert dem Betrag nach kleiner ist als ein vorbestimmter Schwellwert, und bei dem der ausgelesene bzw. der erneut ausgelesene Speicherinhalt als logische "1" definiert wird, wenn der analoge bzw. erneute analoge Auslesewert dem Betrag nach größer ist als der vorbestimmte Schwellwert.

15. Verfahren nach Anspruch 14, bei dem der ausgelesene Speicherinhalt verworfen wird, falls der erneute analoge Auslesewert einen größeren Abstand von dem vorbestimmten Schwellwert hat als der analoge Auslesewert, und bei dem der erneut ausgelesene Speicherinhalt verworfen wird, falls der erneute analoge Auslesewert einen kleineren Abstand von dem vorbestimmten Schwellwert hat als der analoge Auslesewert.

16. Computeranordnung mit einem Prozessor, einer Speicheranordnung (1) nach einem der Ansprüche 1 bis 9 und einer Ansteuerlogik (503) zum Liefern von Wortsignalen und Bitsignalen zum Betrieb der Speicheranordnung (1), wobei der Prozessor und die Ansteuerlogik (503) in einer CMOS-Struktur oder einer dazu alternativen Halbleiter-Struktur implementiert sind und die Speicheranordnung (1) in die CMOS- oder alternative Struktur integriert ist.

17. Computeranordnung nach Anspruch 16, bei der die CMOS- oder alternative Struktur mindestens zwei leitfähige Ebenen (501, 502) mit jeweils leitfähigen Strukturen aufweist, wobei die erste leitfähige Ebene (501) und die zweite leitfähige Ebene (502) überwiegend voneinander elektrisch isoliert sind, wobei die Ansteuerlogik (503) mit Ausnahme von Verbindungsleitungen (504) und die Speicheranordnung (1) in unterschiedlichen leitfähigen Ebenen (501, 502) angeordnet sind, wobei die WL-Adressleitungen (10) und die BL-Adressleitungen (13) jeweils durch entsprechende der Verbindungsleitungen (504) mit der Ansteuerlogik (503) verbunden sind.

- Leerseite -

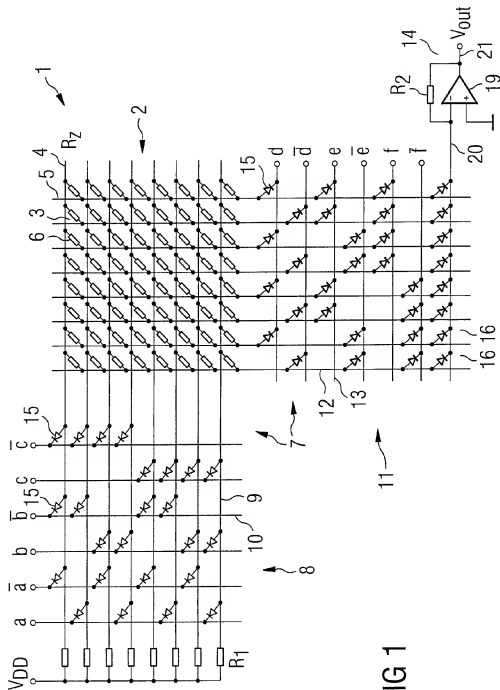


FIG 1

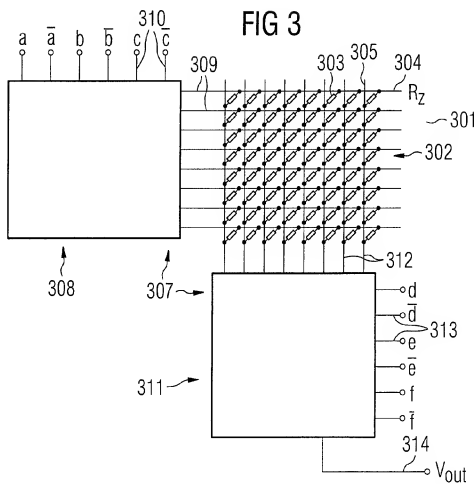
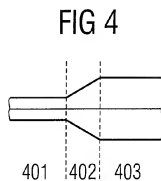
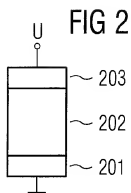


FIG 5

